

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

#3 | PRIORITY
PAPER
11-13-91
R. Akiba

出 願 年 月 日
Date of Application:

2000年 9月28日

出 願 番 号
Application Number:

特願2000-297485

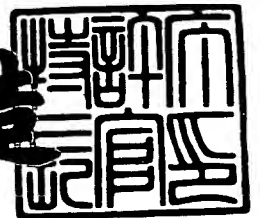
出 願 人
Applicant (s):

日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014691

【書類名】 特許願
【整理番号】 74410423
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
H01L 29/78
H01L 21/762
H01L 21/311

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
本電気株式会社内

日

【氏名】 小川 和夫

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し半導体素子間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し絶縁ゲート電界効果トランジスタ（以下、MOSトランジスタという）間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成され、前記トレンチ素子分離領域で区画された半導体基板表面に前記溝埋込み絶縁体物をマスクとした不純物イオン注入を通して前記MOSトランジスタのチャネルドープ層が形成されていることを特徴とする半導体装置。

【請求項 3】 半導体基板表面にトレンチ素子分離領域を形成する方法であって、前記半導体基板表面に第 1 の絶縁膜と耐酸化性のある第 2 の絶縁膜とをこの順に積層しパターニングする工程と、

前記第 2 の絶縁膜パターンをエッチングマスクにして前記半導体基板をドライエッチングし溝を形成する工程と、

前記第 2 の絶縁膜パターンを酸化マスクにして前記半導体基板を熱酸化し前記溝の内壁に酸化膜を形成する工程と、

前記熱酸化工程において前記第 2 の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する工程と、

前記改質層を除去した後、前記第 2 の絶縁膜表面を所定の膜厚量エッチングする工程と

前記第 2 の絶縁膜表面のエッチング後に前記溝を充填するように全面に埋込み絶縁膜を堆積させ前記第 2 の絶縁膜を研磨ストッパとして前記埋込み絶縁膜を化

学機械研磨し溝埋込み絶縁体物を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記第 2 の絶縁膜がシリコン窒化膜で構成されることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記半導体基板がシリコン基板であり前記中性ラジカルがフッ素ラジカルであることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記改質層除去の終点判定を反応生成物 NH からの波長 3 3 6 n m の発光の強度変化を計測して行うことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記改質層除去の終点判定を反応生成物 CN からの波長 3 8 8 n m の発光の強度変化を計測して行うことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 前記溝埋込み絶縁体物の端部と前記溝の上端部とが同一線上に位置するように前記第 2 の絶縁膜の膜厚量エッチング調整することを特徴とする請求項 3 から請求項 7 のうち 1 つの請求項に記載の半導体装置の製造方法。

【請求項 9】 前記溝埋込み絶縁体物を形成してトレンチ素子分離領域を設けた後に、MOS トランジスタのチャネルドープ層をイオン注入と熱処理とで形成することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 0】 前記第 1 の絶縁膜が半導体基板の熱酸化で形成するシリコン酸化膜であり、前記埋込み絶縁膜が気相成長法で堆積するシリコン酸化膜であることを特徴とする請求項 3 から請求項 9 のうち 1 つの請求項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、トレンチ素子分離領域の構造とその形成方法に関する。

【 0 0 0 2 】

【従来の技術】

MOSトランジスタ等の半導体素子の構造の微細化及び高密度化は依然として精力的に推し進められている。微細化については、現在では $0.15\mu\text{m}$ 程度の寸法で形成される半導体素子が用いられ、この寸法を設計基準にしたメモリデバイスあるいはロジックデバイス等の半導体装置が実用化あるいは開発検討されてきている。

【0003】

このような微細化は、半導体装置の高集積化、高速化等による高性能化あるいは多機能化にとって最も効果的な手法であり、今後の半導体装置の製造にとって必須となっている。そして、このような半導体素子の微細化に伴い、半導体素子間を電氣的に分離する素子分離領域は、トレンチ（溝）に絶縁体物が埋め込まれて形成されるようになってきている。このトレンチ素子分離の技術は古く20年以上も前から提案され、初めバイポーラトランジスタで実用化され、現在ではMOSトランジスタで構成された半導体装置にも適用されるようになった。

【0004】

しかし、上記の場合に生ずる特有の問題は、MOSトランジスタのサブスレッショールド特性においてハンプ現象が生じ易くなることである。これについて図9に基づいて説明する。図9は、MOSトランジスタのソースドレイン電流とゲート電圧の関係を示す。ここでは、いわゆるサブスレッショールド領域とチャネル生成状態（すなわちオン状態）の領域とが示される。図中の異常な特性として破線で示すように、サブスレッショールド領域において、正常なMOSトランジスタの場合（実線で示される）よりソースドレイン電流が増加するようになる。そして、この電流は、MOSトランジスタが完全にオン状態になると正常なMOSトランジスタの場合と同じになる。図9に示すようなソースドレイン電流・ゲート電圧特性に現れる破線で示すようなコブをハンプという。

【0005】

このようなハンプ発生は、トレンチ上端部が鋭い角部となり易いことによる。あるいは、トレンチに埋め込んだ絶縁体物に深い窪みが生じることに起因する。このようなハンプ現象が生じると、MOSトランジスタのしきい値が設計値より小さくなる。また、MOSトランジスタのゲート絶縁膜の信頼性が低下するため

に不良の半導体装置が多発し歩留まりが低下するようになる。

【0006】

上記の特有の問題を解決する方法として種々のものが提案されている。その中で、一例として特開2000-049222号公報に記載された従来技術がある（以下、第1の従来例という）。この第1の従来例について図10に従って説明する。図10はトレンチ素子分離の製造工程順の略断面図である。以下、符号の説明は本発明の説明に沿い上記公開公報に記載のものとは変えてある。

【0007】

図10（a）に示すように、シリコン基板101の所定の領域に、パターニングしたパット酸化膜102と窒化珪素膜103とをエッチングマスクにし、ドライエッチングでトレンチ104を形成する。次に、上記パット酸化膜102の露出部をエッチングし後退部105を形成する。

【0008】

次に、図10（b）に示すように、上記工程で露出したトレンチ104の表面を等方性エッチング処理し、トレンチ上端部の鋭い角部を丸めた角部106にする。そして、熱酸化を行い、トレンチ104の内面にライナー酸化膜107を形成する。ここで、ライナー酸化膜107はパット酸化膜102と一体になる。更に、化学気相成長（CVD）法で窒化珪素膜103を被覆しトレンチ104を充填するように全面に埋込み用絶縁膜108を堆積する。

【0009】

次に、公知の化学機械研磨（CMP）法で窒化珪素膜103を研磨ストッパとして上記の埋込み用絶縁膜108を研磨し、図10（c）に示すように、トレンチ素子分離絶縁物109を充填する。

【0010】

次に、上記窒化珪素膜103、および、上記パット酸化膜102をエッチング除去する。このようにして、トレンチ104の上端部にあった鋭い角部は丸められ、シリコン基板101の所定領域のトレンチ104にライナー酸化膜107とトレンチ素子分離絶縁物109とが充填されたトレンチ素子分離領域が形成される。しかし、この場合、トレンチ素子分離絶縁物109の端部において窪み11

0, 110aが形成され易い。これは、窒化珪素膜103がトレンチ104の上端部でオーバーハング形状になり、トレンチ素子分離絶縁物109が上記オーバーハングとなったところでトレンチ104を埋め込めなくなるからである。

【0011】

以後の工程で（図示せず）ゲート絶縁膜を形成し、上記ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物109表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われるMOSトランジスタを形成することになる。

【0012】

そこで、上述したトレンチ素子分離絶縁物の端部に生じる窪みを防止する技術が種々に検討されている。その技術の1つに、上述したようなトレンチ素子分離領域の形成において、ライナー酸化膜の形成工程後に、窒化珪素膜表面を少しエッチングする工程（以下、プルバック工程という）を加えてから埋込み用絶縁膜を形成する手法が米国特許第5, 981, 356号に記載されている（以下、第2の従来例と記す）。

【0013】

次に、この第2の従来例について図11と図12に従って説明する。図11と図12はトレンチ素子分離の製造工程順の略断面図である。以下、符号の説明は本発明の説明に沿い上記公報に記載のものとは変えてある。

【0014】

図11（a）に示すように、シリコン基板201の所定の領域に、パターニングしたパット酸化膜202と窒化珪素膜203とをエッチングマスクにし、ドライエッチングでトレンチ204を形成する。そして、熱酸化でトレンチ204の内面にライナー酸化膜205を形成する。ここで、ライナー酸化膜205はパット酸化膜202と一体になる。

【0015】

次に、希フッ酸溶液に浸した後、ホット磷酸溶液で上記窒化珪素膜203表面をエッチングし（プルバック工程）、図11（b）に示すような窒化珪素膜203aを形成する。窒化珪素膜の端部206は、上記トレンチの上端部から後退す

る。そして、ライナー酸化膜 2 0 5 の形成領域から離れるようになる。

【 0 0 1 6 】

次に、図 1 1 (c) に示すように、窒化珪素膜 2 0 3 a を被覆しトレンチ 2 0 4 を充填するように全面に埋込み用絶縁膜 2 0 7 を堆積する。

【 0 0 1 7 】

そして、図 1 2 (a) に示すように、窒化珪素膜 2 0 3 a を研磨ストッパとして上記の埋込み用絶縁膜 2 0 7 を CMP 法で研磨し、トレンチ素子分離絶縁物 2 0 8 を充填する。

【 0 0 1 8 】

次に、上記窒化珪素膜 2 0 3 a をエッチング除去する。そして、図 1 2 (b) に示すように、アルゴンのスパッタ等でトレンチ素子分離絶縁物 2 0 8 a の表面を整形して、なだらかなトレンチ素子分離絶縁物 2 0 8 b を形成する。さらに、希フッ酸によるエッチングを施して、ドーム形状のトレンチ素子分離絶縁物 2 0 8 c にする。パット酸化膜 2 0 2 の膜厚は、上記の処理工程で薄くなりパット酸化膜 2 0 2 a となる。ここで、ライナー酸化膜 2 0 5 はトレンチ素子分離絶縁物 2 0 8 a で保護され、上記の処理工程でエッチングされることはない。この第 2 の従来例では、窒化珪素膜の端部 2 0 6 がトレンチの上端部から後退するのに対応して、トレンチ素子分離絶縁物 2 0 8 c はトレンチ 2 0 4 の上端部からはみ出るようになる。

【 0 0 1 9 】

米国特許第 5, 9 8 1, 3 5 6 号には記載されていないが、MOS トランジスタの製造では、図 1 2 (c) に示すように、以後の工程で MOS トランジスタのチャネルドープ層として拡散層 2 0 9 を形成する。しかし、拡散層 2 0 9 はシリコン基板 2 0 1 表面部で不均一な深さになる。これは、パット酸化膜 2 0 2 a とトレンチ素子分離絶縁物 2 0 8 c の端部との膜厚が異なるために、不純物のイオン注入する工程においてその下のシリコン基板 2 0 1 表面への注入深さが不均一になるからである。

【 0 0 2 0 】

このようにして、シリコン基板 2 0 1 の所定領域のトレンチ 2 0 4 にライナー

酸化膜 2 0 5 と トレンチ素子分離絶縁物 2 0 8 c とが充填されたトレンチ素子分離領域が形成される。

【 0 0 2 1 】

以後の工程で（図示せず）ゲート絶縁膜を形成し、上記ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物 2 0 8 c 表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われる MOS トランジスタを形成することになる。

【 0 0 2 2 】

【発明が解決しようとする課題】

上述したように、従来の技術である第 1 の従来例では、トレンチ素子分離絶縁物の端部に窪みが生じ易い。そして、トレンチ素子分離領域を有する半導体装置の製造工程において上記の窪みの制御は非常に困難である。これは、上述したように窒化珪素膜 1 0 3 がトレンチ 1 0 4 の上端部でオーバーハング形状になり易く、またその形状の制御が難しいからである。

【 0 0 2 3 】

また、従来の技術である第 2 の従来例では、MOS トランジスタのしきい値のバラツキが大きくなる。特に MOS トランジスタのチャネル幅が小さくなるとこのバラツキは顕著になる。これは、上述したように MOS トランジスタのチャネルドープ層となる拡散層の深さが不均一となり、チャネルドープ層の不純物濃度が不均一になるからである。

【 0 0 2 4 】

そして、この第 2 の従来例の技術では、上記の窪みの発生を原理的にはなくすることができる。しかし、この第 2 の従来例の技術を半導体装置の量産工程に適用すると、上記窪みの生じる場合があり、また、その窪みの深さが大きくばらつくようになる。これは、上述したプルバック工程において、窒化珪素膜の端部 2 0 6 のトレンチ 2 0 4 の上端部から後退する量が制御できないからである。

【 0 0 2 5 】

本発明の目的は、上記の問題を簡便に解決し、高い制御性のもとに形成できるトレンチ素子分離の構造とその製造方法を提供することにある。

【 0 0 2 6 】

【課題を解決するための手段】

このために本発明の半導体装置では、半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有し半導体素子間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成されている。

【 0 0 2 7 】

あるいは、本発明の半導体装置では、半導体基板表面に設けた溝と、その内壁に形成した酸化膜と、前記酸化膜を介して前記溝を充填する溝埋込み絶縁体物とを有しMOSトランジスタ間を絶縁体分離するトレンチ素子分離領域において、前記溝の上端部と前記溝埋込み絶縁体物の端部とが同一線上に位置するように形成され、前記トレンチ素子分離領域で区画された半導体基板表面に前記溝埋込み絶縁体物をマスクとした不純物イオン注入を通して前記MOSトランジスタのチャネルドープ層が形成されている。

【 0 0 2 8 】

あるいは、本発明の半導体装置の製造方法は、半導体基板表面にトレンチ素子分離領域を形成する方法であって、前記半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層しパターンニングする工程と、前記第2の絶縁膜パターンをエッチングマスクにして前記半導体基板をドライエッチングし溝を形成する工程と、前記第2の絶縁膜パターンを酸化マスクにして前記半導体基板を熱酸化し前記溝の内壁に酸化膜を形成する工程と、前記熱酸化工程において前記第2の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する工程と、前記改質層を除去した後、前記第2の絶縁膜表面を所定の膜厚量エッチングする工程と、前記第2の絶縁膜表面のエッチング後に前記溝を充填するように全面に埋込み絶縁膜を堆積させ前記第2の絶縁膜を研磨ストッパとして前記埋込み絶縁膜を化学機械研磨し溝埋込み絶縁体物を形成する工程とを含む。

【 0 0 2 9 】

ここで、前記第2の絶縁膜はシリコン窒化膜で構成される。また、前記半導体

基板はシリコン基板であり、前記中性ラジカルはフッ素ラジカルである。

【 0 0 3 0 】

そして、前記改質層除去の終点判定を反応生成物NHからの波長336nmの発光の強度変化を計測して行う。または、前記改質層除去の終点判定を反応生成物CNからの波長388nmの発光の強度変化を計測して行う。

【 0 0 3 1 】

そして、前記溝埋込み絶縁体物の端部位置と前記溝の上端部位置とが一致するように前記第2の絶縁膜を所定の膜厚量エッチングする。

【 0 0 3 2 】

あるいは、本発明の半導体装置の製造方法では、前記溝埋込み絶縁体物を形成してトレンチ素子分離領域を設けた後に、MOSトランジスタのチャネルドープ層をイオン注入と熱処理とで形成する。

【 0 0 3 3 】

上記の第1の絶縁膜は半導体基板の熱酸化で形成するシリコン酸化膜であり、前記埋込み絶縁膜が気相成長法で堆積するシリコン酸化膜である。

【 0 0 3 4 】

本発明では、上述した第2の絶縁膜表面の改質層除去が安定して行える。そして、上述したプルバック工程において、第2の絶縁膜のエッチング量は高精度に制御される。

【 0 0 3 5 】

このために、素子活性領域とトレンチ素子分離領域との境界部に生成する窪み、すなわちトレンチ素子分離絶縁物の端部に生じる窪みの発生は安定して完全に抑制される。そして、従来の技術で説明したハンプ現象が完全に抑制される。また、MOSトランジスタのしきい値のバラツキも大幅に低減する。このようにして、トレンチ素子分離領域を有するMOSトランジスタが高い制御性と高い歩留まりのもとで製造できるようになる。

【 0 0 3 6 】

【発明の実施の形態】

次に、本発明の第1の実施の形態を図1乃至図3に基づいて説明する。図1と

図 2 は、本発明のトレンチ素子分離領域の形成工程順の断面図である。そして、図 3 は、本発明の特徴部を詳細に説明するための、トレンチ素子分離領域の形成における一工程の断面図である。

【 0 0 3 7 】

従来の技術の図 1 0 (a)、図 1 0 (b) で説明した製造工程は、本発明の実施の形態でも同様に行われる。すなわち、図 1 (a) に示すように、シリコン基板 1 の所定の領域に、第 1 の絶縁膜であるパターニングしたパット酸化膜 2 と第 2 の絶縁膜である窒化珪素膜 3 とをエッチングマスクにし、ドライエッチングでトレンチ 4 を形成する。ここで、パット酸化膜 2 は膜厚 1 0 n m 程度のシリコン酸化膜であり、窒化珪素膜 3 は膜厚 1 5 0 n m 程度である。そして、上記パット酸化膜 2 の露出部にはエッチングで後退部 5 を形成する。

【 0 0 3 8 】

次に、図 1 (b) に示すように、上記工程で露出したトレンチ 4 の表面を所定の条件で熱酸化し、トレンチ 4 の内面にライナー酸化膜 6 を形成する。ここで、ライナー酸化膜 6 は、膜厚 2 0 n m 程度のシリコン酸化膜であり、パット酸化膜 2 と一体になる。ここで、上記の所定の熱酸化で上述したような鋭い角部は除去され丸めた角部 7 となる。

【 0 0 3 9 】

上述したライナー酸化膜 6 を形成するための熱酸化により、窒化珪素膜 3 の表面は僅かに酸窒化膜に改質される。これが改質層である。そこで、本発明では図 3 で詳述するような方法で上記の改質層を非常に高い精度で除去する。引き続いて、図 1 (c) に示すように、窒化珪素膜 3 表面を高精度にエッチングする。すなわち、高精度のブルバック工程を施す。このブルバック工程では、図 1 (c) に破線で記した窒化珪素膜 3 はエッチングで一様に後退し、窒化珪素膜 3 a が形成される。ここで、その後退量は所定の値になるように高精度に設定される。なお、上記のエッチング液は公知のホットリン酸溶液である。

【 0 0 4 0 】

次に、バイアス ECR (E l e c t r o n C y c l o t r o n R e s o n a n c e) 法によるプラズマ CVD 法で埋込み用絶縁膜を堆積する。この方法で

は、モノシラン (SiH_4) ガスおよび亜酸化窒素 (N_2O) ガスを ECR でプラズマ励起してシリコン酸化膜を堆積する。なお、この場合には、上記プラズマとシリコン基板間に直流バイアスが印加される。このバイアス ECR 法で成膜した埋込み用絶縁膜は、CVD 法で形成するシリコン酸化膜の中で特に緻密性の高い膜である。

【 0 0 4 1 】

ここで、上記埋込み用絶縁膜に酸素雰囲気中で 650°C 程度の熱処理を施してもよい。この熱処理を埋込み用絶縁膜の焼き締め処理という。この埋込み用絶縁膜はこの焼き締め処理で更に緻密化される。

【 0 0 4 2 】

上述した埋込み用絶縁膜の緻密化の方法としては、埋込み用絶縁膜表面にレーザー光を照射する方法がある。このレーザー光の照射で埋め込み用絶縁膜の表面部にエネルギーを与える。ここで、レーザー光として、フッ素 (F_2) ガスからのエキシマレーザー光を使用するとよい。このレーザー光の波長は 157 nm 程度であり、埋め込み用絶縁膜を構成するシリコン酸化膜を透過しない。このために、レーザー光のエネルギーは埋込み用絶縁膜の表面部にのみ吸収される。この他、レーザー光としては、ArF ガスからのエキシマレーザー光でもよい。この場合の波長は 193 nm であり上記の場合より深い範囲まで緻密化した絶縁層が形成される。ここで、シリコン基板 1 は室温程度の温度に保たれる。また、この場合の雰囲気は、低圧の酸素雰囲気にとよい。

【 0 0 4 3 】

上述したように、埋込み用絶縁膜を緻密化すると、半導体装置の製造工程で必要なフッ酸系溶液での処理工程において、後述する溝埋込み絶縁体物のエッチングが抑制されるようになる。

【 0 0 4 4 】

そして、図 1 (d) に示すように、窒化珪素膜 3 a を研磨ストッパとし CMP 法で上記の埋込み用絶縁膜を研磨し、溝埋込み絶縁体物であるトレンチ素子分離絶縁物 8 をトレンチ 4 内に埋め込む。

【 0 0 4 5 】

このようにして、上述した窒化珪素膜 3 a およびパット酸化膜 2 を除去する。そして、シリコン基板 1 の主表面を露出させる。この工程でトレンチ素子分離絶縁物 8 の表面もエッチングされる。更に、シリコン基板 1 の主表面を熱酸化し保護絶縁膜 9 を形成した後、図 2 (a) に示すように、レジストマスク 1 0 を形成しこれをイオン注入マスクにして、N 型不純物イオン 1 1 をイオン注入する。そして、N 型拡散層 1 2 を形成する。同様に、図 2 (b) に示すように、レジストマスク 1 0 a を形成しこれをイオン注入マスクにして、P 型不純物イオン 1 3 をイオン注入し P 型拡散層 1 4 を形成する。ここで、N 型拡散層 1 2、P 型拡散層 1 4 は MOS トランジスタのチャネルドープ層となる。

【 0 0 4 6 】

以下、上記保護絶縁層 9 をフッ酸溶液で除去する。この保護絶縁層 9 の除去工程で、トレンチ素子分離絶縁物 8 の表面および端部もエッチングされる。このようにして、シリコン基板 1 の所定領域のトレンチ 4 にライナー酸化膜 6 とトレンチ素子分離絶縁物 8 とが充填されたトレンチ素子分離領域が形成される。そして、上記トレンチ素子分離絶縁物 8 で区画されたシリコン基板 1 の表面に N 型拡散層 1 2 と P 型拡散層 1 4 が MOS トランジスタのチャネルドープ層として形成される。

【 0 0 4 7 】

以後の工程では従来の技術と同様に、ゲート絶縁膜を形成し、ゲート絶縁膜を被覆し更にトレンチ素子分離絶縁物 8 表面を跨るようにゲート電極を形成する。このようにして、トレンチ素子分離域で囲われる MOS トランジスタが形成される。

【 0 0 4 8 】

次に、本発明の特徴的な工程となる改質層すなわち酸窒化膜の除去工程について図 3 に基づいて説明する。ここで、図 1 と同じものは同一符号で示す。

【 0 0 4 9 】

図 1 で説明したように、シリコン基板 1 の所定の領域に、パット酸化膜 2、窒化珪素膜 3 をドライエッチングのマスクにしてトレンチ 4 を形成した後、所定の熱酸化でライナー酸化膜 6 を形成する。この熱酸化工程で、窒化珪素膜 3 の表面

は酸窒化膜 1 5 に改質される。

【 0 0 5 0 】

本発明では、上記の酸窒化膜 1 5 の除去を次のようなドライエッチングで行う。すなわち、フッ素化合物と酸素とをプラズマ励起室でプラズマ励起する。そして、上記プラズマ励起室から離れたチャンバーに図 3 に示す構造のシリコン基板が載置される。そして、このチャンバーには、プラズマ励起室で生成した活性種のうち寿命の長い中性ラジカル A^* が導入される。そして、本発明ではこの中性ラジカル A^* により改質層である上記酸窒化膜 1 5 を選択的に除去する。このようにしてから、上述したブルバック工程において、窒化珪素膜 3 の高精度の一般的なエッチングがなされる。

【 0 0 5 1 】

具体的には、 CHF_3 と O_2 と He の混合ガスを 13.56MHz の高周波でプラズマ励起する。このプラズマ励起で生じる中性ラジカル 1 6 はフッ素ラジカルである。そして、このフッ素ラジカルにより上記酸窒化膜 1 5 を 30 秒程度で除去する。ここで、上記酸窒化膜 1 5 のみを高精度に除去するために、プラズマエッチングにおける終点判定を行う。上述したプラズマエッチングが開始されると酸窒化膜 1 5 とフッ素ラジカルが化学反応し反応生成物 NH が生じる。そこで、この NH から発光する 336nm の発光強度変化をモニターする。上記酸窒化膜 1 5 が除去されると窒化珪素膜 3 が露出する。この時点で、窒化珪素膜 3 とフッ素ラジカルとが化学反応し NH が急増し 336nm の発光強度が急増する。この発光強度変化あるいは上記強度の微分変化より終点判定をする。

【 0 0 5 2 】

あるいは、中性ラジカル 1 6 を CF_4 と O_2 と He の混合ガスのプラズマ励起で生成する。この場合も、中性ラジカル 1 6 はフッ素ラジカルである。この場合の終点検出は、反応生成物である CN から発光する 388nm の発光強度変化モニターで行う。

【 0 0 5 3 】

この酸窒化膜 1 5 の除去工程において、ライナー酸化膜 6 のエッチングが進行しないことが望ましい。これについて、下記の表 1 に基づいて説明する。

【 0 0 5 4 】

【表 1】

	ライナー酸化膜エッチング量
本発明 (1)	1 / 3
本発明 (2)	1 / 5
従来の方法	1 (例えば 9 nm)

【 0 0 5 5 】

従来の技術で説明したプルバック工程を施すトレンチ素子分離領域の形成方法では、上記酸化膜の除去は希フッ酸溶液中で行われる。表 1 では、この希フッ酸溶液での除去を従来の方法として示している。そして、上記 CHF_3 と O_2 と He の混合ガスのプラズマ励起の場合を本発明 (1) とし、 CF_4 と O_2 と He の混合ガスのプラズマ励起の場合を本発明 (2) として示す。

【 0 0 5 6 】

表 1 から判るように、酸化膜 15 を完全に除去する場合に、従来の方法ではライナー酸化膜 6 が 9 nm 程度エッチングされる。これに対して、本発明 (1) の場合では、ライナー酸化膜 6 のエッチング量は 3 nm 程度で従来の方法を 1 とするとその場合の 1 / 3 と大幅に低減する。更に、本発明 (2) の場合では、エッチング量は低減し従来の方法の場合の 1 / 5 程度になる。

【 0 0 5 7 】

次に、図 4 乃至図 8 で本発明の効果について説明する。図 4 は、本発明の方法で酸化膜 15 を除去した後の、上述した窒化珪素膜 3 表面のエッチング工程、すなわちプルバック工程での窒化珪素膜のエッチング量とエッチング時間の関係を示す。そして、図 5 は、表 1 で示した従来の方法の例である。ここで、窒化珪

素膜 3 のエッチング液は公知のホットリン酸溶液である。

【 0 0 5 8 】

図 4 に示すように、窒化珪素膜のエッチング量はエッチング時間に正比例する。この場合には、後述するエッチング無効時間は全く存在しない。このために、本発明では、プルバック工程で、窒化珪素膜の一樣なエッチングが高精度に行えるようになる。

【 0 0 5 9 】

これに対して、従来の方法で酸窒化膜を除去した後、プルバック工程で窒化珪素膜をエッチングする場合には、図 5 に示すようにエッチング無効時間 t_1 、 t_2 、 t_3 が生じる。このエッチング無効時間では、窒化珪素膜のエッチングが進行しない。これは、従来の方法では、改質層である酸窒化膜が希フッ酸溶液で完全にしかも安定して除去できないためである。しかも、このエッチング無効時間は、 t_1 、 t_2 、 t_3 のように製造工程で大きくばらつく。この従来の方法では、窒化珪素膜の高精度なエッチングはできない。

【 0 0 6 0 】

図 4 に基づき説明したように、本発明ではプルバック工程で窒化珪素膜のエッチングを高精度に行える。このために、本発明ではトレンチ素子分離領域の形成が高い制御性の下に行えるようになる。図 6 乃至図 8 に基づいて上記効果を説明する。図 6 乃至図 7 は、図 2 で説明した N 型（P 型）拡散層を形成後の断面図である。ここで、図 1 および図 2 で説明したものと同一ものは同一符号で示す。

【 0 0 6 1 】

図 6 で説明したように、シリコン基板 1 の所定の領域にトレンチ 4 が形成され、その側壁にライナー酸化膜 6 が形成され、トレンチ素子分離絶縁物 8 がトレンチ 4 内に埋め込まれて形成される。そして、破線で示した窒化珪素膜 3 a は除去され、拡散層 1 7（上述した N 型拡散層 1 2 あるいは P 型拡散層 1 4 に相当する）が、保護絶縁膜 9 を通したイオン注入とその後の熱処理とで形成される。この拡散層 1 7 は MOS トランジスタのチャネルドープ層となる。

【 0 0 6 2 】

本発明では、上述したようにプルバック工程で窒化珪素膜 3 を高精度にエッチ

ングできるように、破線で示した窒化珪素膜 3 a の端部（トレンチ素子分離絶縁物 8 の端部）とトレンチ 4 の上端部の相対的な位置関係を高精度に制御できる。そして、上記イオン注入する工程において、トレンチ素子分離絶縁物 8 の端部とトレンチ 4 の上端部とが同一位置になるように形成される。このようにして、後述するような窪みの無いトレンチ素子分離絶縁物 8 が形成できる。また、シリコン基板 1 表面に拡散層 1 7 が一様に形成できるようになる。

【 0 0 6 3 】

これに対して、上述した従来の方法では、プルバック工程においてエッチング無効時間が生じ易く、窒化珪素膜 3 のエッチング制御が難しい。図 7（a）に示すように、プルバック工程の上記エッチング後において、窒化珪素膜 3 のエッチング量が小さく窒化珪素膜 3 a がトレンチ 4 の上端部でオーバーハングになると、トレンチ素子分離絶縁物 8 に窪み 1 8 が形成されるようになる。この場合には、拡散層 1 7 はシリコン基板 1 の表面部に一様に形成される。

【 0 0 6 4 】

そして、図 7（b）に示すように、プルバック工程の上記エッチング後において、窒化珪素膜 3 のエッチング量が大きく窒化珪素膜 3 a がトレンチ 4 の上端部から後退する場合には、上述した窪みの発生は無くなるが、シリコン基板 1 表面部に不均一な拡散層 1 7 a が形成され易くなる。これは、トレンチ素子分離絶縁物 8 が上記イオン注入する工程においてマスクとなり、その下に不純物注入ができなくなるからである。この拡散層の不均一性は、MOS トランジスタを形成した後のそのしきい値に大きな影響を及ぼす。

【 0 0 6 5 】

次に、上記 MOS トランジスタのしきい値の偏差と上記プルバック工程での窒化珪素膜 3 のエッチング量との関係を示す。このしきい値の偏差は半導体装置製造の 1 ロット分の N 型チャネルの MOS トランジスタのものである。プルバック工程での窒化珪素膜エッチング量がある値（図 8 では 2 0 n m）までは、しきい値偏差は一定であるが、エッチング量がそれ以上になるとしきい値偏差はエッチング量と共に増加するようになる。上記のある値は、図 6 で説明したようにイオン注入する工程において、トレンチ素子分離絶縁物 8 の端部とトレンチ 4 の上端

部とが同一位置になるところである。このような現象は、MOSトランジスタが微細化しチャネル幅が小さくなることにより顕著に現れる。

【 0 0 6 6 】

以上の実施の形態では、埋込み用絶縁膜をバイアスECR法で堆積した。この他の高密度プラズマ励起のCVD法で埋込み用絶縁膜を堆積させる場合でも、本発明は同様に適用できることに言及しておく。また、上記の実施の形態では、埋込み用絶縁膜がシリコン酸化膜で構成される場合について説明した。この埋込み用絶縁膜がシリコンオキシナイトライド膜で構成されても本発明は同様に適用できることにも言及しておく。

【 0 0 6 7 】

また、本発明では耐酸化性の絶縁膜として窒化珪素膜を用いた場合について説明した。本発明はこれに限定されるものではない。本発明は、その他のアルミナ膜等を用いても同様に適用できる。

【 0 0 6 8 】

また、本発明は、トレンチ素子分離領域を形成する場合に限定されるものではなく、LOCOS (Local Oxidation of Silicon) 形成後に窒化珪素膜のような耐酸化性の絶縁膜をエッチング除去する場合にも適用できるものである。

【 0 0 6 9 】

なお、本発明は上記実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態が適宜変更され得ることは明らかである。

【 0 0 7 0 】

【発明の効果】

以上に説明したように本発明では、半導体基板表面にトレンチ素子分離領域を形成する場合に、半導体基板表面に第1の絶縁膜と耐酸化性のある第2の絶縁膜とをこの順に積層しパターンニングし、第2の絶縁膜パターンをエッチングマスクにして半導体基板をドライエッチングして溝を形成し、更に上記第2の絶縁膜パターンを酸化マスクにして半導体基板を熱酸化し、上記熱酸化工程において第2の絶縁膜表面に形成される改質層をフッ素含有の中性ラジカルで除去する。そし

て、上記改質層を除去した後に上記第2の絶縁膜表面を所定の膜厚量エッチングし、上記第2の絶縁膜表面のエッチング後に溝を充填するように全面に埋込み絶縁膜を堆積させ、上記第2の絶縁膜を研磨ストッパとして埋込み絶縁膜を化学機械研磨してトレンチ素子分離絶縁物を形成する。そして、本発明では、上記トレンチ素子分離領域において、上記溝の上端部と上記トレンチ素子分離絶縁物の端部とが同一線上に位置するように形成される。

【0071】

このために、溝を充填するトレンチ素子分離絶縁物の端部での窪みの形成は安定して抑えられ、その深さのバラツキはなくなる。そして、トレンチ素子分離領域を有するMOSトランジスタにおいて、上述したハンプの現象は完全に抑制されると共にそのしきい値は高精度に制御でき、そのバラツキも大幅に低減する。このようにして、トレンチ素子分離領域を有するMOSトランジスタが高い制御性と高い歩留まりのもとで形成できるようになる。

【0072】

更に、トレンチ素子分離領域を有するMOSトランジスタの微細化は容易になり、半導体装置の高集積化、高密度化が促進される。また、半導体装置の高信頼性および高歩留まりが確保できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図2】

上記工程の続きを説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図3】

本発明の特徴を説明するためのトレンチ素子分離領域形成の一工程の断面図である。

【図4】

本発明の効果を説明するためのグラフである。

【図 5】

本発明の効果を説明するためのグラフである。

【図 6】

本発明の構造とその効果を説明するためのトレンチ素子分離領域の一工程後の断面図である。

【図 7】

本発明の構造とその効果を説明するためのトレンチ素子分離領域の一工程後の断面図である。

【図 8】

本発明の構造における効果を説明するためのグラフである。

【図 9】

本発明の効果を説明する MOS トランジスタの特性を示すグラフである。

【図 10】

第 1 の従来例の技術を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図 11】

第 2 の従来例の技術を説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【図 12】

上記工程の続きを説明するためのトレンチ素子分離領域の製造工程順の断面図である。

【符号の説明】

- 1, 101, 201 シリコン基板
- 2, 102, 202, 202a パット酸化膜
- 3, 103, 203, 203a 窒化珪素膜
- 4, 104, 204 トレンチ
- 5, 105 後退部
- 6, 107, 205 ライナー酸化膜
- 7, 106 丸めた角部

8, 109, 208, 208a, 208b, 208c トレンチ素子分離絶

縁物

9 保護絶縁膜

10, 10a レジストマスク

11 N型不純物イオン

12 N型拡散層

13 P型不純物イオン

14 P型拡散層

15 酸化窒化膜

16 中性ラジカル

17, 17a, 209 拡散層

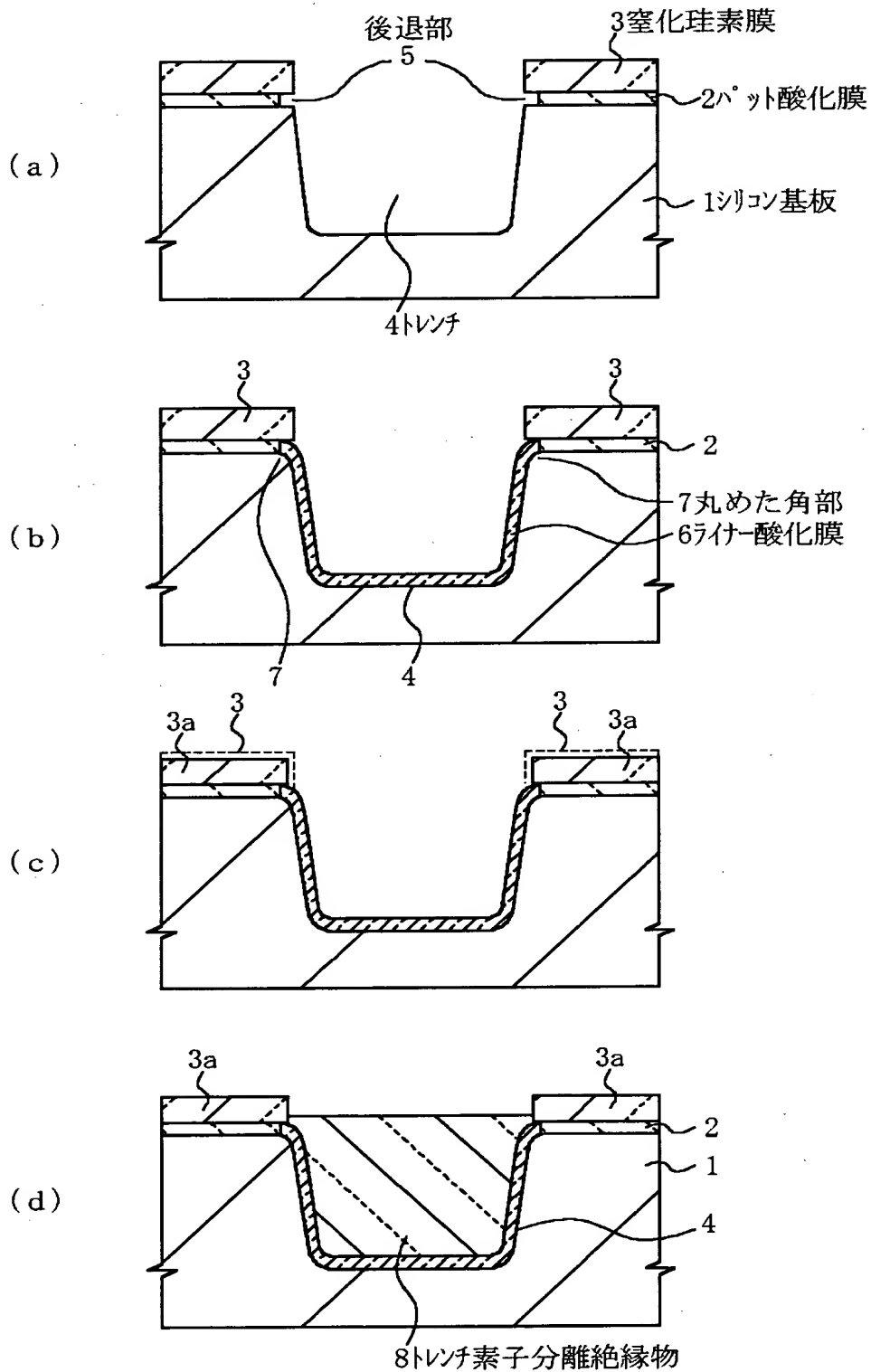
18, 110, 110a 窪み

108, 207 埋込み用絶縁膜

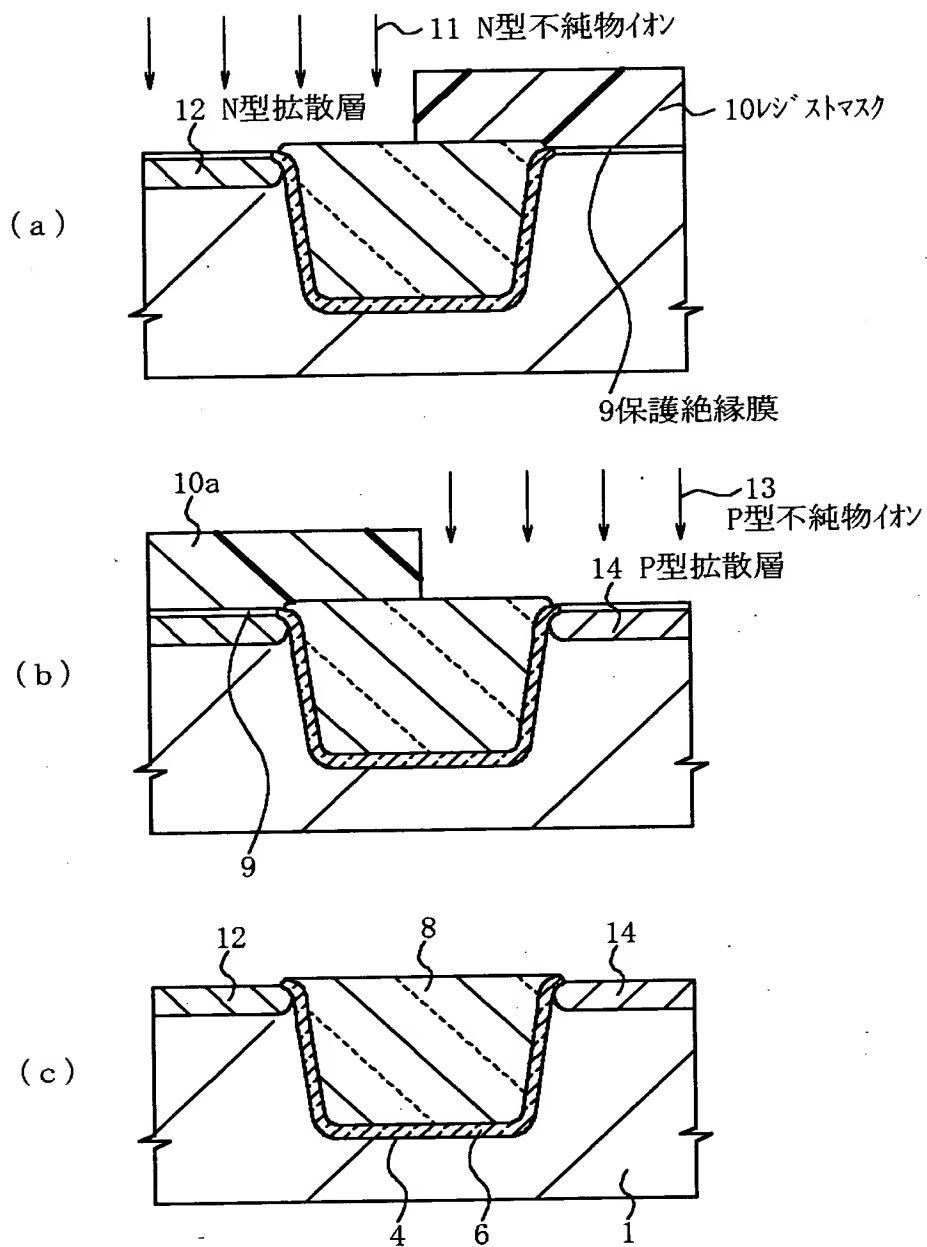
206 窒化珪素膜の端部

【書類名】 図面

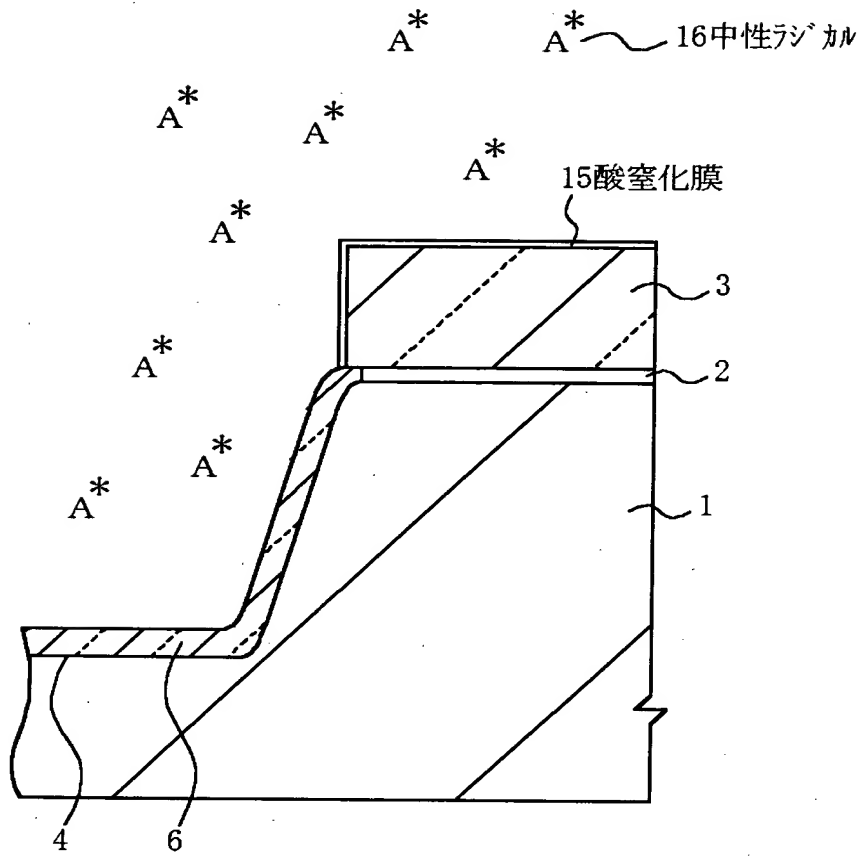
【図1】



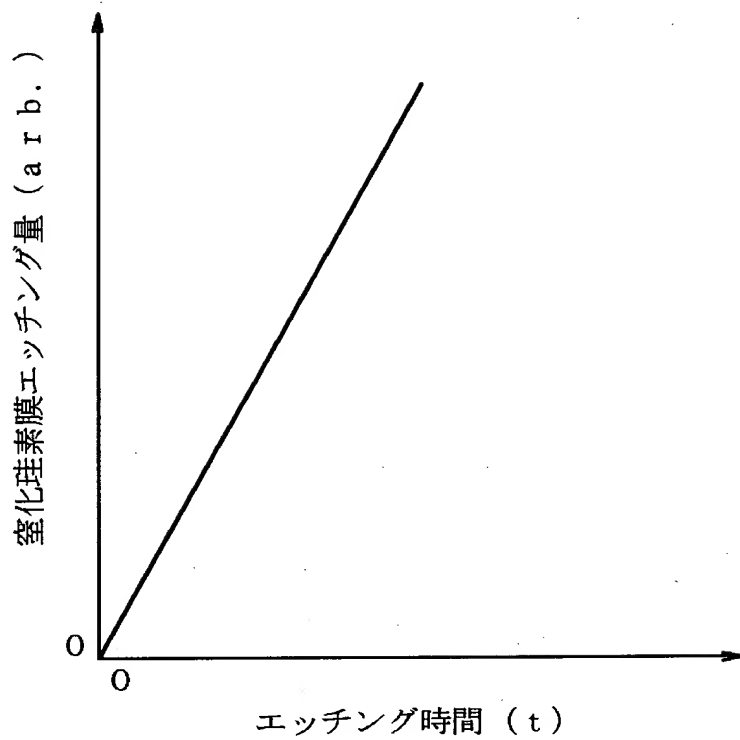
【図 2】



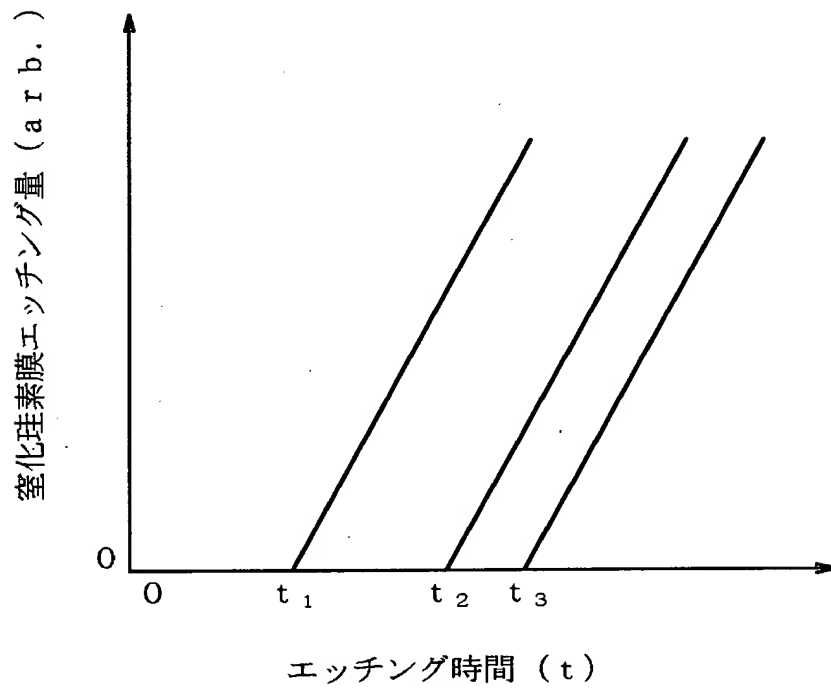
【図 3】



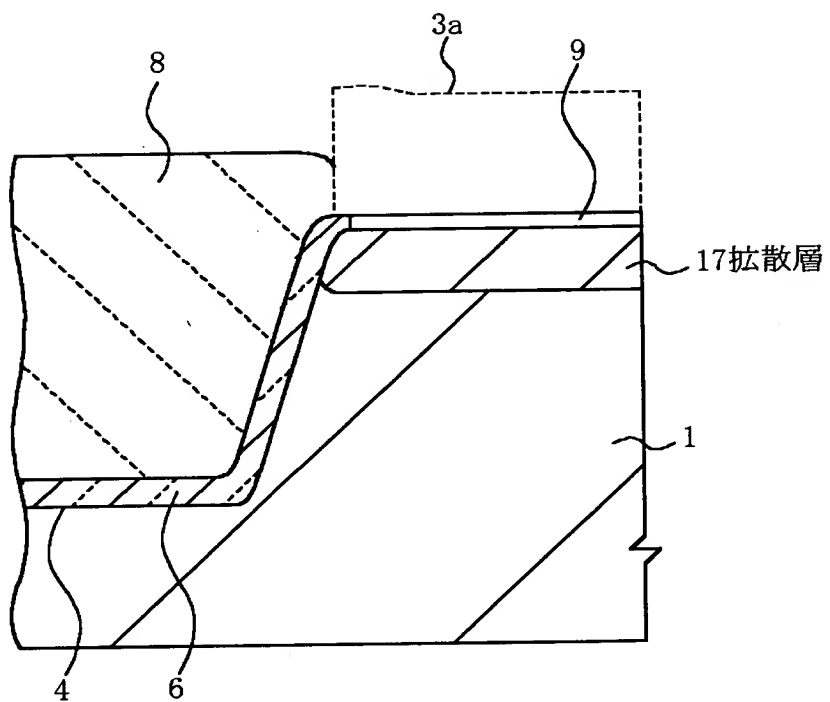
【図 4】



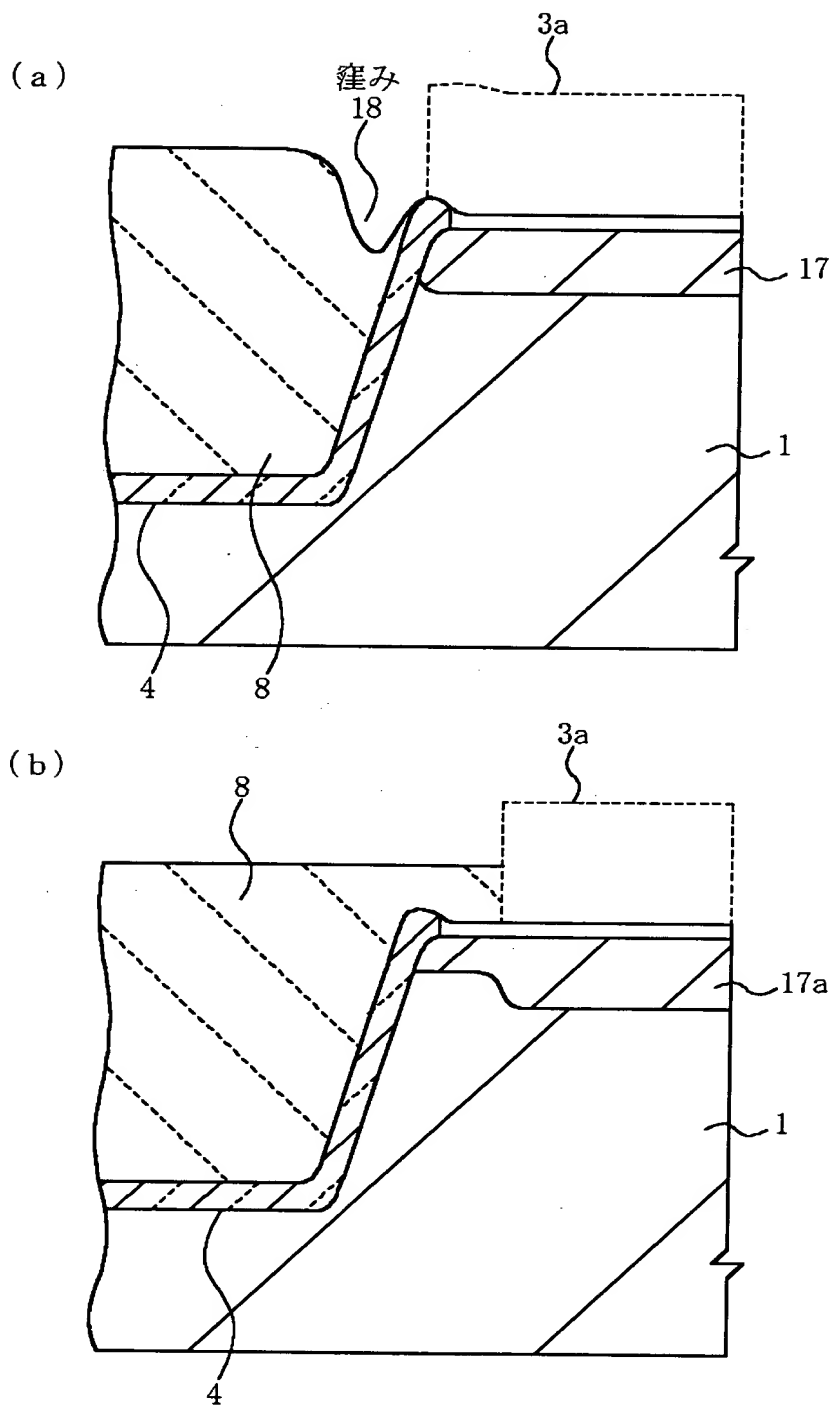
【図 5】



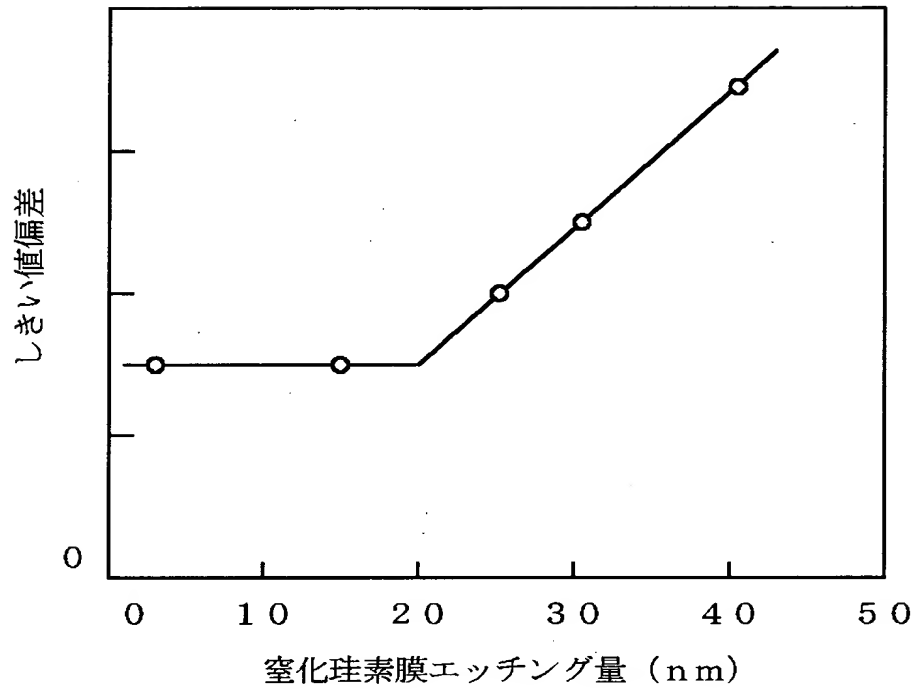
【図 6】



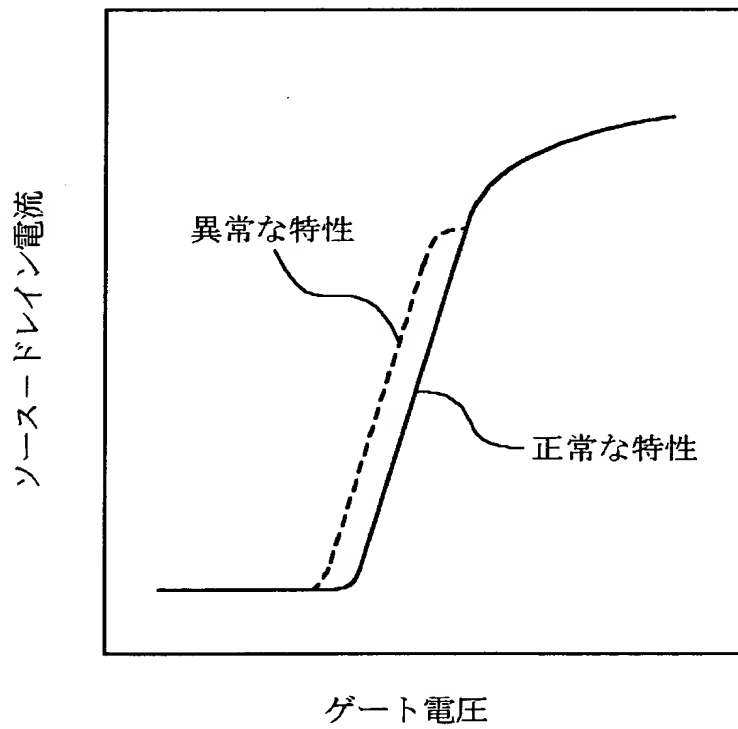
【図 7】



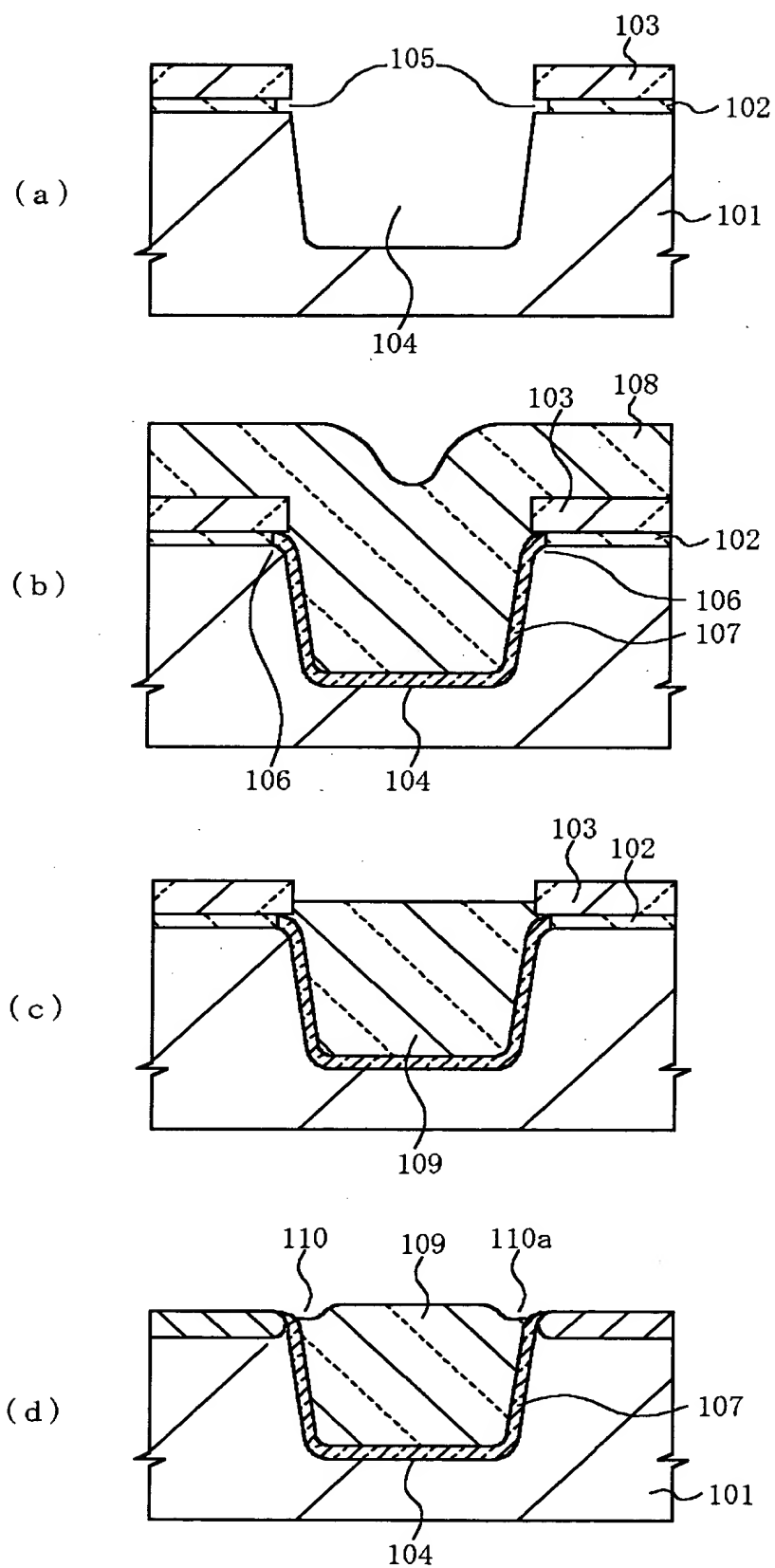
【図 8】



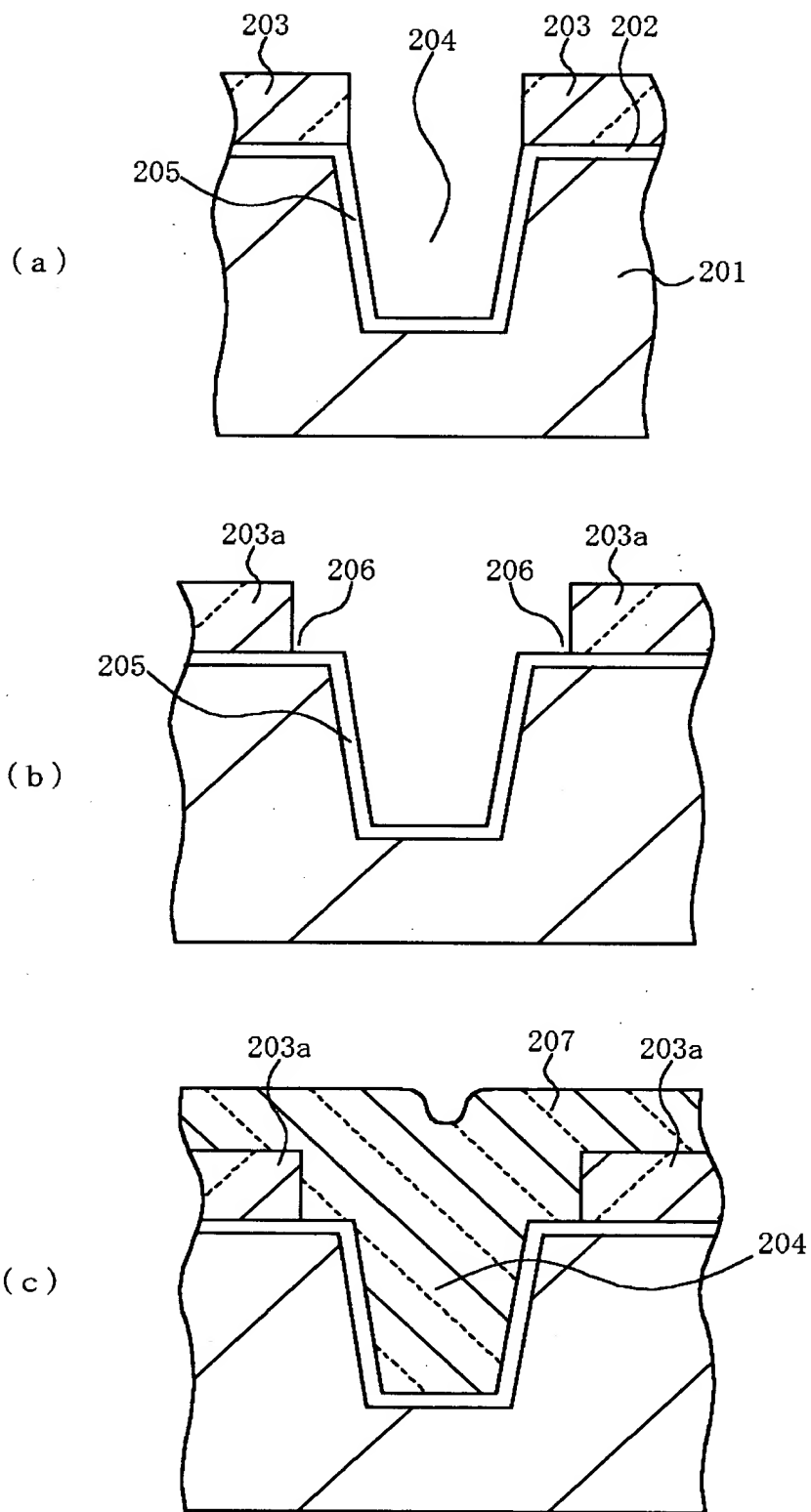
【図 9】



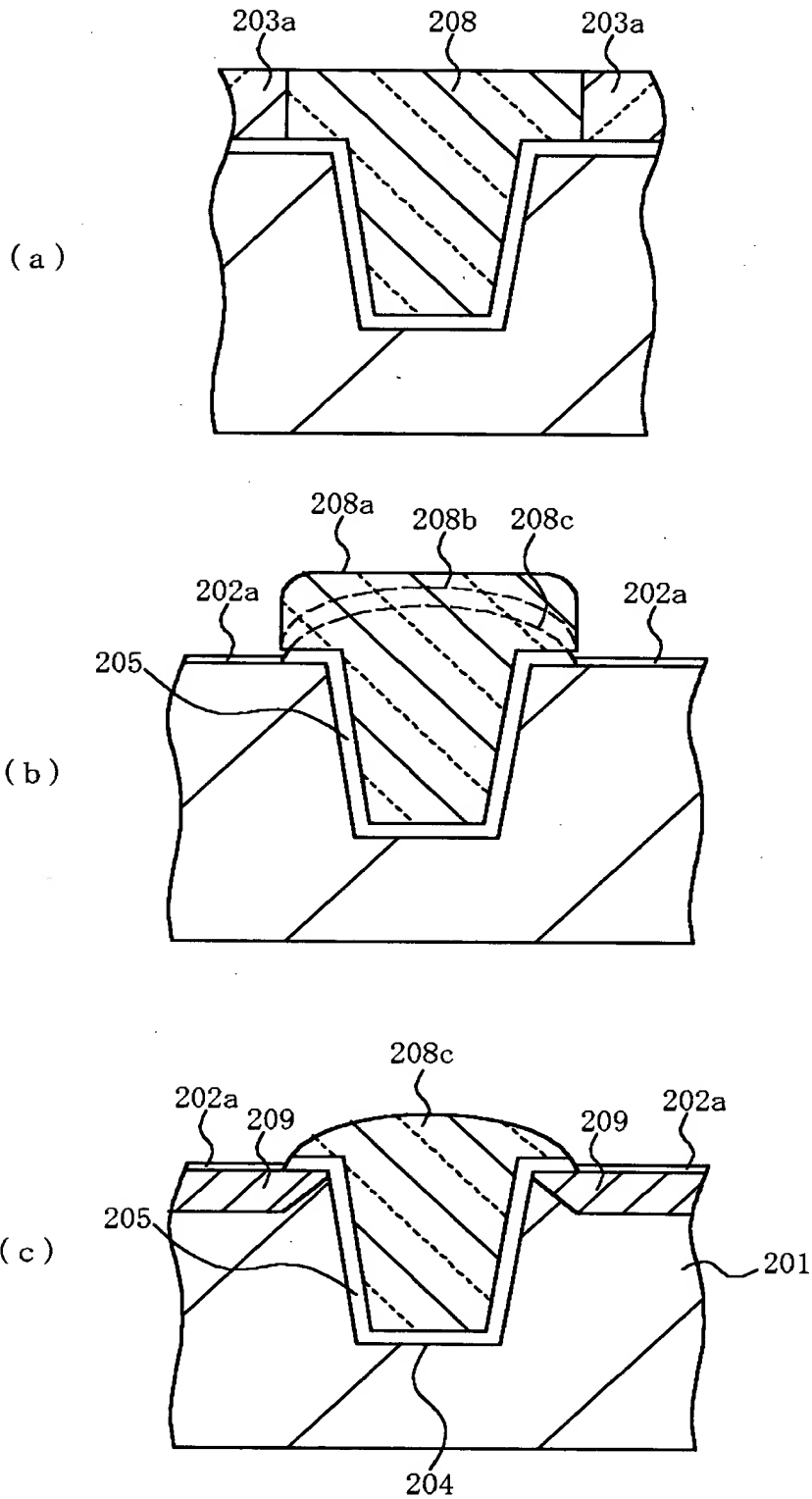
【図 1 0】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 トレンチ素子分離領域の端部の窪み発生を安定的に抑制し、ハンプ現象の生じないMOSトランジスタを安定して製造できるようにする。

【解決手段】 シリコン基板 1 上にパット酸化膜 2 と窒化珪素膜 3 を形成し、窒化珪素膜 3 をエッチングマスクにしたドライエッチングでトレンチ 4 を形成し、更に窒化珪素膜 3 を酸化マスクにしてシリコン基板 1 を熱酸化し、上記熱酸化工程において窒化珪素膜 3 表面に形成される改質層をフッ素含有の中性ラジカルで除去する。そして、上記改質層を除去した後に上記窒化珪素膜 3 表面を所定の膜厚量エッチングし、窒化珪素膜 3 a 形成後にトレンチ 4 を充填するように全面に埋込み絶縁膜を堆積させ、上記窒化珪素膜 3 a を研磨ストッパとして埋込み絶縁膜を化学機械研磨してトレンチ素子分離絶縁物 8 を形成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-297485
受付番号	50001258620
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 9月29日

<認定情報・付加情報>

【提出日】	平成12年 9月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社